

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-20711

(24) (44) 公告日 平成7年(1995)3月8日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
B 4 1 J 2/44				
2/45				
2/455				
H 0 1 L 33/00	J	7376-4M		
			B 4 1 J 3/ 21	L
				発明の数 1 (全 7 頁)

(21) 出願番号	特願昭62-148671	(71) 出願人	999999999
(22) 出願日	昭和62年(1987)6月15日		ローム株式会社
(65) 公開番号	特開昭63-312175	(72) 発明者	緒方 弘美
(43) 公開日	昭和63年(1988)12月20日		京都府京都市右京区西院溝崎町21番地
			ローム株式会社内
		(72) 発明者	澤瀬 研介
			京都府京都市右京区西院溝崎町21番地
			ローム株式会社内
		(74) 代理人	弁理士 梶山 信是 (外1名)
		審査官	清水 康司
		(56) 参考文献	特開 昭62-31893 (J P, A)
			特開 昭60-5387 (J P, A)
			特開 昭58-78476 (J P, A)
			特開 昭62-241469 (J P, A)
			実開 昭58-88692 (J P, U)

(54) 【発明の名称】 発光素子駆動装置

1

【特許請求の範囲】

【請求項1】 発光素子に電力を供給する出力回路と、パルス信号を順次発生するパルス信号発生回路と、シフトレジスタとこのシフトレジスタの出力信号により前記パルス信号をゲートするゲート回路とを有し前記パルス信号の発生タイミングに対応して前記パルス信号を前記出力回路に駆動信号として供給するパルス信号選択回路とを備える発光素子駆動回路を複数の発光素子に対応して設け、前記シフトレジスタに記憶されたデータに対応して前記パルス信号を選択的にゲートして、選択されたパルス信号のパルス幅の総計により前記複数の発光素子間の発光量を調整することを特徴とする発光素子駆動装置。

【請求項2】 シフトレジスタは入力側と出力側が接続されたリング形のレジスタであり、パルス信号発生回路は

2

パルス幅の相違するパルス信号を順次発生することを特徴とする特許請求の範囲第1項記載の発光素子駆動装置。

【請求項3】 複数の発光素子はLEDプリンタに使用されるLEDアレイであり、パルス幅の相違するパルスは、その幅が順次狭くなるものであることを特徴とする特許請求の範囲第2項記載の発光素子駆動装置。

【請求項4】 パルス信号選択回路は他のシフトレジスタより出力される画素データをラッチするラッチ回路の出力が入力され、この入力の信号とゲート回路の出力信号との論理積条件で駆動信号が出力回路に送出されることを特徴とする特許請求の範囲第1項乃至第3項から選択されたいずれか1項記載の発光素子駆動装置。

【発明の詳細な説明】

【産業上の利用分野】

BEST AVAILABLE COPY

この発明は、発光素子駆動装置に関し、詳しくは、LEDプリンタに使用されるLEDアレイの発光量を補正して発光輝度のばらつきを補償することができるような発光素子駆動装置に関する。

〔従来の技術〕

最近では、小型、軽量化、高速化を実現するプリンタとして光プリンタが注目されているが、これは、64〜256個程度のLED等の発光素子のモノリシックを1チップに集積化した発光素子アレイを記録用紙の幅方向に直線状に複数配列して、光プリンタの光源として使用するものである。

光プリンタの光源は、印字濃度、ドット径等に直接影響を与える関係ですべての発光素子の発光量がほぼ均一であることが要求されるが、LEDアレイ等の発光素子では、製造ロットの相違とか、製造工程の不均一性などから素子間に性能のばらつきが発生する。そのためこれを補償する方法が種々提案されている。

〔解決しようとする問題点〕

LEDアレイの素子間の輝度のばらつき補償方としては、①各素子に抵抗値の異なる抵抗を直列に接続して定電圧で駆動するものとか、②感光体上での露光量が均一になるように素子ごとに通電時間をソフトウェアとかROMを利用して制御するものが考えられている。

これらは、1ドットごとの輝度調整を行うものであるもので、前者の場合には、1ドット対応の抵抗値の選択が難しいことと製造工程が複雑になることなどの欠点がある。そこで、一般に後者の通電時間制御が採用されるが、後者の場合にソフトウェアで行うものでは、制御速度が遅くなる欠点があり、ROM等を使用するものにあつては、ROMに1ドット対応に補正データをあらかじめ記憶し、その情報数だけラッチ段に出力して通電時間を制御することから通電時間データをROMから読出して転送するのに時間がかかる欠点がある。また、多く名容量のROMが必要であり、そのタイミング制御とか比較回路などの周辺回路も必要となって、回路構成が複雑になる。この発明は、このような従来技術の問題点を解決するのであって、LEDプリンタ等に使用されるLEDアレイ等の発光素子の輝度のばらつきをLEDの駆動に合わせて高速に補正することができるような発光素子駆動装置を提供することを目的とする。

〔問題点を解決するための手段〕

このような目的を達成するためのこの発明の発光素子駆動装置の構成は、発光素子に電力を供給する出力回路と、パルス信号を順次発生するパルス信号発生回路と、シフトレジスタとこのシフトレジスタの出力信号によりパルス信号をゲートするゲート回路とを有しパルス信号の発生タイミングに対応してパルス信号を前記出力回路に駆動信号として供給するパルス信号選択回路とを備える発光素子駆動回路を複数の発光素子に対応して設け

て、シフトレジスタに記憶されたデータに対応してパルス信号を選択的にゲートして、選択されたパルス信号のパルス幅の総計により複数の発光素子間の発光量を調整するものである。

〔作用〕

このように発光素子に電力を供給する出力回路の前にシフトレジスタを有するパルス信号選択回路を設けて、パルス信号発生回路からのパルス信号をシフトレジスタのシフトデータ出力で選択し、選択したパルス信号のパルス幅の組合せで出力回路の駆動信号を発生させ、発光素子の駆動時間を設定するようにしているので、発光素子の通電時間がシフトレジスタのデータによりパルス幅の組合せで簡単に決定できる。

その結果、シフトレジスタに記憶するデータの組合せに応じて相違する通電時間を選択でき、この通電時間を素子の発光性能のばらつきに応じて複数の発光素子間で選択設定すれば、これらの間の発光量を調整することができる。したがって、各発光素子間での発光量が均一になるように容易に調整可能であり、パルス信号の選択で済むので、LED駆動タイミングに対応して補正が可能となる。

〔実施例〕

以下、この発明の一実施例について図面を参照して詳細に説明する。

第1図は、この発明を適用した発光素子駆動装置の一実施例のブロック図であり、第2図は、他の実施例のブロック図、第3図は、その動作を説明するためのタイミングチャートである。

第1図において、LED発光部1は、LEDアレイ1a, 1b, …, 1nから構成されていて、その各LED10が出力回路部2の電流増幅回路2a, 2b, …, 2nからの駆動電力信号により駆動されて、それぞれの各LED10がそれぞれ発光する。

出力回路部2の電流増幅回路2a, 2b, …, 2nは、LEDアレイ1a, 1b, …, 1nの各LED10に対応して設けられたLED駆動回路20を備えていて、この各LED駆動回路20が対応するLED10を駆動する。

パルス信号選択回路部4は、パルス信号選択回路4a, 4b, …, 4nからなり、パルス信号発生回路5からパルス幅の相違する複数のストローブ信号を受ける。パルス信号選択回路4a, 4b, …, 4nは、各LED駆動回路20にそれぞれ対応して設けられたストローブ信号選択回路を有して、このストローブ信号選択回路は、シフトレジスタ41とゲート回路42とで構成されている。そして、パルス信号発生回路5からパルス幅の相違する複数のストローブ信号がそのゲート回路42がシリアルに受けて、このストローブ信号とシフトレジスタ41に記憶されたストローブ信号選択のための各段のデータ、そして後述するデータラッチ回路のラッチデータ出力信号との間における論理積条件で駆動信号を各LED駆動回路20にそれぞれに送出する。ここでシフトレジスタ41は、複数のビットのデ

ータを記憶するメモリであって、そのデータは、ROM6からパルス信号選択回路4a, 4b, ... 4nの各ストロブ信号選択回路のシフトレジスタ41にそれぞれ送出されて、セットされ、パルス信号発生回路5から各ストロブ信号に対応して発生するシフト信号Sに応じてシフトされ、出力される。

7は、データラッチ回路部であって、データラッチ回路7a, 7b, ... 7nからなり、シフトレジスタ回路部8の各シフトレジスタ8a, 8b, ... 8nから得られる画素データを1ビット対応でLED10に対応にラッチして記憶する。

データラッチ回路7a, 7b, ... 7nの各データラッチ出力Q₁, Q₂, ... Q_nの出力信号は、各ストロブ信号選択回路のゲート回路42にラッチデータに対応する出力として送出される。

ここで、パルス発生回路5は、パルス幅(W₁ > W₂ > W₃ > ... > W_n)が順次狭くなるn個のストロブ信号51a, 51b, 51c, ... 51nを順次シリアルに発生するものであって、これらストロブ信号のいくつかが選択されて、その総合計のパルス幅による駆動信号を発生してLED10の通電が制御され、その輝度のばらつきが補正される。

なお、これらストロブ信号のうち最初のストロブ信号51aを基本ストロブパルスとしてのパルス幅に選定してもよい。これは、そのパルス幅がLED10の輝度のばらつきにおけるほぼ最高輝度のLEDに対する最小発光時間に対応して設定される期間を待つ基準のパルスであって、すべてのLED10に均一に加えられる。このような場合には、ストロブ信号51aの後のパルス信号であるストロブ信号51b, 51c, ... 51nは、それぞれ補正ストロブパルスとなり、これらのパルス幅は順次狭い間隔となっていて、ストロブ信号51aのパルス幅とこれらの補正のストロブ信号51b, 51c, ... 51nから選択されたパルス信号のパルス幅との和の時間がLED10のトータル発光時間となる。

また、パルス信号発生回路5のすべてのパルス幅の和として得られる合計の期間は、LED10の輝度のばらつきにおけるほぼ最小輝度のLEDに対応する最大発光時間に設定される期間となっている。

このような回路において、シフトレジスタ41にデータが記憶されたとき、例えば、正論理動作で、パルス信号発生回路5の1回の連続発生パルスの数が5個であるとし、シフトレジスタ41が5段のフリップフロップで構成されたものとし、さらに、ビット"11101"がこのシフトレジスタ41の各段に記憶されているとする。

このような条件において、ラッチ回路の画素データが"1"となっているときには、シフトレジスタ41に加えられるパルス信号発生回路5からのシフト信号Sに対応してパルス信号発生回路5の各発生ストロブ信号のうちから最初から3番目までのストロブ信号と5番目のストロブ信号が拾われ、4番目のストロブ信号が落ち

る。

すなわち、これら3つまでのストロブ信号51a, 51b, 51cと最後のストロブ信号とがシフトレジスタ41に記憶されたデータ"11101"の各桁に対応して論理積が採られ、かつそれとデータラッチ回路のラッチ出力信号との間でも論理積が採られるので、シフト信号Sに応じてシフトレジスタ41のデータのうちの"1"にセットされた桁に対応して発生するパルス信号発生回路5のストロブ信号が選択的に拾われ、ストロブ信号に対応して個別的に発生した駆動信号のトータルとしてそのパルス幅の合計時間の駆動信号を発生させることができる。そして、このことにより、LED10の通電時間を制御することができる。

なお、このとき加えられるシフト信号Sは、別途発生させてもよく、そのような場合には、パルス信号発生回路5のパルス信号の発生タイミングに同期させる。また、シフトレジスタ41は、入力側と出力側が接続されたリング形のレジスタを使用してそのデータを循環させ、元に戻すことができる。また、シフトレジスタ41にセットするデータは、ROM6からこの発光素子駆動回路とLED発光部を含めた、いわゆるLEDヘッドにおいて、その駆動の際のイニシャル時に入力される。このような実施例を示すのが、第2図である。

第2図において、11は、パルス信号選択回路であって、12は、FETトランジスタよりなるLED駆動回路12a, 12a, ... をLED10に対応して有する出力回路部であって、第1図の出力回路2に対応している。また、13は、データラッチ回路部7に対応するラッチ回路であって、ラッチ回路13a, 13a, ... をパルス信号選択回路のゲート回路14, 14, ... に対応して有している。

ゲート回路14は、3入力ゲート回路であって、第1図のゲート回路41に対応し、シフトレジスタ15がシフトレジスタ42に対応している。各シフトレジスタ15は、それぞれフリップフロップ(FF) 15a, ... 15_{n-1}, 15nのからなるn段のシフトレジスタであって、その出力側と入力側とが接続され、リング上のレジスタとなっている。しかも、それぞれのシフトレジスタ15は、その各段のフリップフロップ15a, 15a, ... と、フリップフロップ15_{n-1}, 15_{n-1}, ... と、フリップフロップ15n, 15n, ... とがそれぞれバッファを介して横方向に接続されていて、横方向にもシフトレジスタを構成している。

そして、このようなゲート回路14, 14, ... とシフトレジスタ15, 15, ... とによりパルス信号選択回路11が構成されている。また、16は、第1図のシフトレジスタ部8に対応する回路であって、LED10に対応して設けられた各画素データを記憶する各段のレジスタ16a, 16a, ... を有している。

なお、出力回路部12のFETトランジスタによりLED駆動回路12a, 12a, ... の出力に挿入されたダイオード回路12c, 12c, ... は、入力保護回路として挿入されている。

また、その入力側に直列に挿入された論理回路12b, 12b, ... は、各LED駆動回路12aのゲート電圧を制御してLED駆動電流値を一律に設定してLED全体の輝度を調整するための論理回路である。これは、ゲート回路14の出力が“1”（又はHIGHレベル、以下単に“H”）ならばCTL信号の電圧がLED駆動回路12aを構成するFETトランジスタのゲート端子に加わり、それが“ON”状態となって、CTL信号の電圧で設定される電流がLED10に供給される。一方、ゲート回路14の出力が“0”（又はLOWレベル、以下単に“L”）ならばCTL信号の電圧が遮断されて、LED駆動回路12aのFETトランジスタが“OFF”状態となる。

ところで、シフトレジスタ15のストローブ信号選択データのセットは、発振回路（図示せず）からのクロックパルス信号OC17（図面下側参照）がインバータを通した出力と通さない出力との相補信号として各フリップフロップ15a, ... 15_{n-1}, 15nのクロック信号及びシフト信号としてこれらに加えられることで行われる。

また、STは、第3図のSTに見るように、ゲート回路14, 14, ... のそれぞれに入力されるストローブ信号であって、パルス信号発生回路5から供給され、第1図のストローブ信号51a, 51b, 51c, ... に対応している。LAは、ラッチ信号で、シフトレジスタ16の各レジスタ16aからの画素に対応するデータを受けて、これをラッチするためのタイミング信号であり、バッファ18aを介して各ラッチ回路15に入力される。DIは、画素データの信号であり、バッファ18bを介してシフトレジスタ16の各レジスタ16aに順次入力される。CKは、シフトレジスタ16に対するシフトクロック信号であって、インバータ18cを介してレジスタ16aに入力される。

Q₁ ~ Q_{n-1}, Q_n は、図面左側の最初のシフトレジスタの各段のフリップフロップにバッファ18d, 18d, ... を介してストローブ信号選択のためのデータを入力する信号であって、ROM6から送出される信号である。CLKは、これに対するクロック信号であり、インバータ30, バッファ31を介して各フリップフロップに供給される。また、各フリップフロップ15a, ... 15_{n-1}, 15nは、ST信号がバッファ32を介してバッファ31とワイヤドORされていてこれをシフト信号として各フリップフロップに供給する。そこで、ST信号のストローブ信号発生タイミングに合わせてシフトレジスタ15のシフトレジスタが発生するようになっている。

次に第3図に従って、その全体的な動作を説明する。第3図の（a）に見るように、OC信号が“L”となり、CK信号加えられると、シフトレジスタ15にデータが入力される状態となり、各段にDI信号（Q₁ ~ Q_{n-1}, Q_n を代表してDIとする）がROM6から送出されると、これが各段のフリップフロップ15a, ... 15_{n-1}, 15nに入力され、それが図面左側から右側へと順次、CK信号の各クロック信号に応じて、対応する各段のフリップフロップ15a, ... 15_{n-1}, 15nにそれぞれシフトされて行き、

横方向にそれぞれ対応する各段のフリップフロップに順次データが書込まれて行く。

このようにして、イニシャライズ時点で所定のデータがROM6から各シフトレジスタ15, 15, ... の各段に記憶される。このデータの記憶が終了した時点でクロックパルス信号CKが発生して、画素データDIの入力をシフトレジスタ16の各段のレジスタ16aが前記と同様にクロックパルス信号CKに応じて図面左から右へとシフトして記憶して行く。

10 画素データの各レジスタ16aの記憶が終了すると、次にLA信号が発生して、各レジスタ16aのデータが各ラッチ回路13aにラッチされる。その結果、ラッチされたデータの信号が各ゲート回路14へと送出されることになる。

OC信号が“H”状態となっているときに、上記の状態においてパルス信号発生回路5からストローブ信号であるST信号が加えられると、シフトレジスタ15の各段のフリップフロップのデータがこのST信号のパルスごとにシフトされて、それが各ゲート回路14に送出される。このときST信号も各ゲート回路14に加えられるので、これらの間で論理積条件が成立したものについて、ST信号のパルスが各LED駆動回路12aの駆動信号として、それぞれの論理回路12bに出力される。その結果、各シフトレジスタ15のフリップフロップ15a, ... 15_{n-1}, 15nにセットされたデータに応じて、ST信号の各パルスが選択される。

ここで、第3図に見るようにST信号の各パルスのパルス幅が順次狭くなるようなものであれば、これら多くのパルス幅のパルスから任意のパルスをシフトレジスタ15の各段にセットするデータにより選択して駆動信号のトータル時間を設定することができる。

30 なお、この実施例では、フリップフロップ15aとフリップフロップ15nとが接続されていてリング状となっているので、n回シフトが行われれば、記憶したデータは元の状態にもどるので、初期時点で一度データをセットすれば、再びシフトレジスタ15に入力する必要はない。このように各種のストローブ信号選択用データをシフトレジスタにセットし、その組合せにより、種々の期間の駆動信号を各LED駆動回路12aに加えることができる。

ところで、出力回路部12のV₀は、電源供給端子3に加えられる信号であり、GNDは、接地レベルを示す信号である。また、FETトランジスタ12d, 12eは、電圧安定化のための挿入されたトランジスタ回路である。

なお、この実施例では、CTL信号を出力回路に入力することにより、LEDの平均輝度をCTL信号により調整でき、さらにドット対応での輝度ばらつきも調整する。

以上説明してきたが、実施例では、シフトレジスタを使用しているが、その段数の選択は自由に設定できるものであり、これは複数であればよい。また、パルス信号発生回路から発生するパルス幅は、前記のように順次幅が狭くなる信号に限定されるものではない。好ましくは、これらの間でパルス幅が相違すればよく、パルス幅が同

じものをいくつか組合せて使用することもできる。
さらに、実施例では、LEDの例を挙げているが、他の発光素子にも適用できることはもちろんである。

【発明の効果】

以上の説明から理解できるように、この発明にあっては、発光素子に電力を供給する出力回路の前にシフトレジスタを有するパルス信号選択回路を設けて、パルス信号発生回路からのパルス信号をシフトレジスタのシフトデータ出力で選択し、選択したパルス信号のパルス幅の組合せで出力回路の駆動信号を発生させ、発光素子の駆動時間を設定するようにしているの、発光素子の通電時間がシフトレジスタのデータによりパルス幅の組合せで簡単に決定できる。

その結果、シフトレジスタに記憶するデータの組合せに応じて相違する通電時間を選択でき、この通電時間を素子の発光性能のばらつきに応じて複数の発光素子間で選択設定すれば、これらの間の発光量を調整することができ*

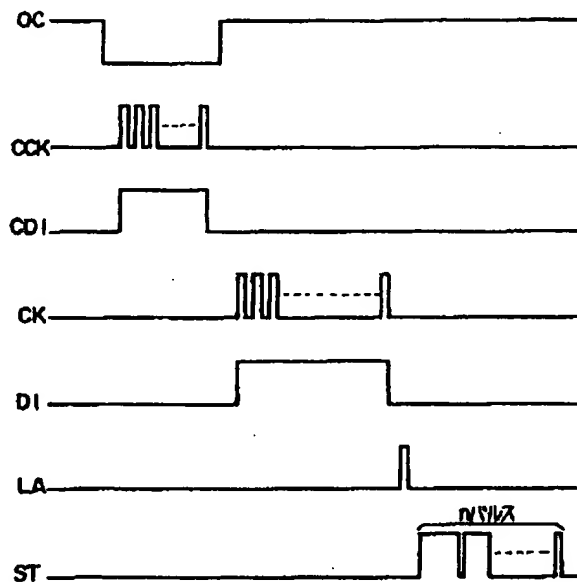
きる。したがって、各発光素子間での発光量が均一になるように容易に調整可能であり、パルス信号の選択で済むので、LED駆動タイミングに対応して補正が可能となる。

【図面の簡単な説明】

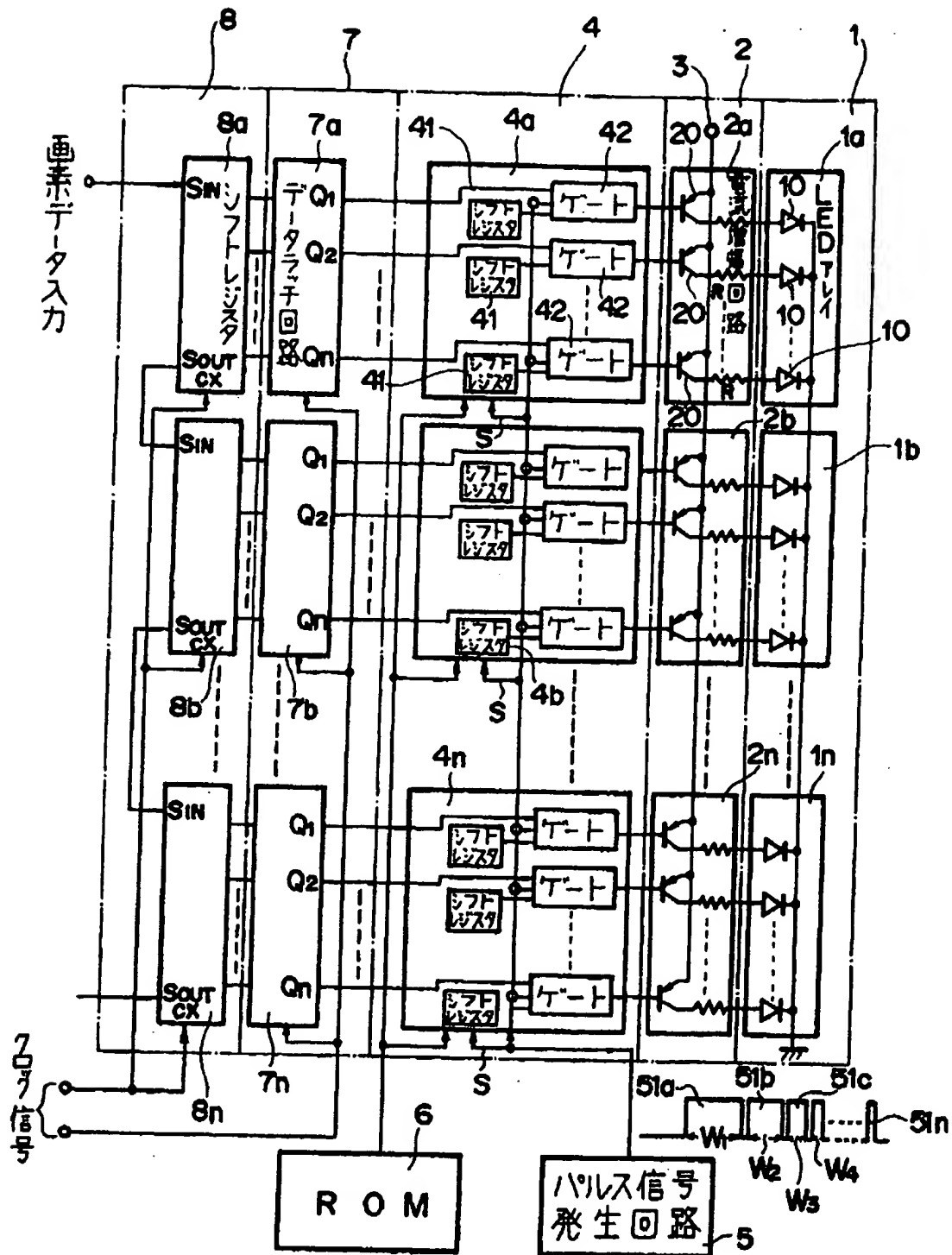
第1図は、この発明を適用した発光素子駆動装置の一実施例のブロック図であり、第2図は、他の実施例のブロック図、第3図は、その動作を説明するためのタイミングチャートである。

1…LED発光部、1a,1b,1c,1n…LEDアレイ、2,12…出力回路部、2a,2b,2c,2n…電流増幅回路、4…パルス信号選択回路部、4a,4b,4c,4n…パルス信号選択回路、5…パルス信号発生回路、6…ROM、7…データラッチ回路部、7a,7b,7c,7n…データラッチ回路、8…シフトレジスタ回路部、8a,8b,8c,8n,41,15…シフトレジスタ、13,15,17…フリップフロップ、12a,20…LED駆動回路、14,42…ゲート回路、ST…ストローブ信号。

【第3図】



【第1図】



【第2図】

